



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Fondul Social European
POSDRU 2007-2013



Instrumente Structurale
2007-2013



MINISTERUL
EDUCAȚIEI
NAȚIONALE
OIPOSDRU



An overview regarding the improvement of the nMPRA architecture

s.l.dr.ing. Nicoleta Cristina GAITAN

1. INTRODUCERE

INTRODUCERE

- Sistemele înglobate de timp real sunt utilizate la ora actuală pentru o multitudine de aplicații cum ar fi și acelea pentru control sau pentru procesarea de date.
- Sistemele de timp real (STR) sunt acele sisteme care trebuie să reacționeze dinamic la schimbările de stare ale mediului, ale cărui evoluții depind de comportamentul uman, de fenomene naturale sau artificiale, sau de procesele industriale din întreprinderi.
- Pentru îndeplinirea unor constrângeri de timp de tip deadline, ce este o caracteristică specifică sistemelor de timp real, s-a preferat utilizarea unui sistem de operare de timp real (RTOS).

INTRODUCERE (1)

- În orice SOTR problemele majore le reprezintă comutarea taskurilor, întreruperile, sincronizarea și comunicația între procese cât și planificarea taskurilor. Implementarea prin software a acestor mecanisme conduce la generarea unor întârzieri semnificative pentru unele aplicații.
- nMPRA este o arhitectură concepută pentru implementarea unor microcontrolere înglobate de timp real și care suportă execuția concurențială a n taskuri, permițând comutarea foarte rapidă între acestea cu o întârziere de uzual 1 ciclu mașină și maxim 3 cicli mașină pentru instrucțiunile de lucru cu memoria.

2. ARHITECTURA NHSE

ARHITECTURA NHSE

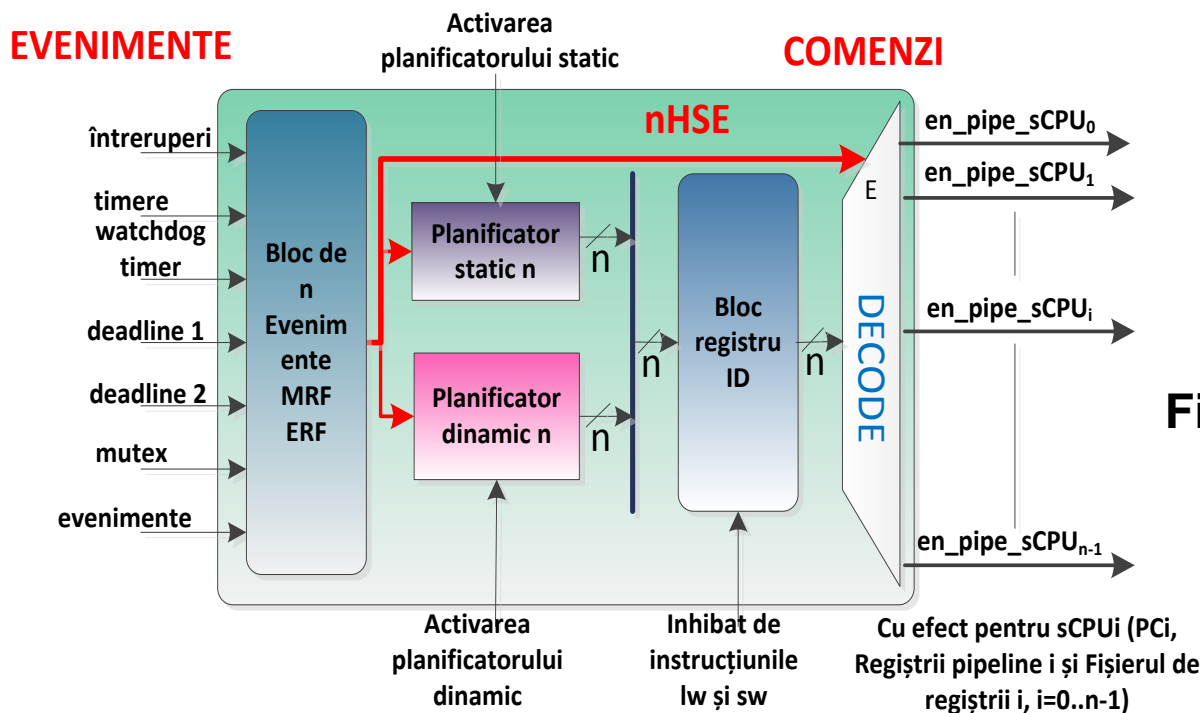


Fig. 1– Arhitectura nHSE

nHSE este un automat cu stări finite (FSM) care are ca intrări evenimente de tip întrerupere, deadline, watchdog timer, mutex, evenimente de tip mesaj, eveniment de auto susținere a execuției, precum și semnale de validare ale planificatoarelor statice și dinamice cât și de inhibare în cazul execuției instrucțiunilor de tip load și store care generează semnalele de activare ale sCPUi.

3. O PRIVIRE DE ANSAMBLU ASUPRA ÎMBUNĂȚIRII PERFORMANȚELOR NMPRA

O PRIVIRE DE ANSAMBLU ASUPRA ÎMBUNĂTĂȚIRII PERFORMANȚELOR NMPRA

- În articolul¹ publicat la TVLSI, se prezintă o arhitectură nouă denumită nMPRA, ce conține o implementare originală a unei structuri hardware utilizată pentru planificarea statică și dinamică a taskurilor, gestiunea unitară a evenimentelor și întreruperilor, accesul la resursele partajate, generarea evenimentelor, și o metodă de asignare a întreruperilor la taskuri, care asigură o operare eficientă în contextul controlului de timp real.
- Scopul a fost de a îmbunătăți prin hardware performanțele sistemului de operare de timp real pentru microcontrolere privind comutarea între taskuri, timpul de răspuns la evenimente externe, comportarea la întreruperi, primitivele de sincronizare între procese (Inter Process Communication – IPC) cum ar fi evenimentele (events), mutex-urile (mutexes), mesajele (messages), etc.).

O PRIVIRE DE ANSAMBLU ASUPRA ÎMBUNĂTĂȚIRII PERFORMANȚELOR NMPRA (1)

- În articolul² publicat la ICSTCC 2014, autorii extind schema de prioritizare globală ce permite tratarea evenimentelor în hardware și are avantajul de a reduce timpul pentru a detecta sursa evenimentului, și pentru a începe corespunzător rutina de servire a evenimentelor.
- Permite chiar și introducerea de noi evenimente în sistem prin adăugarea pur și simplu a câmpurilor necesare în registrul Task Register (TRi), registrul Event Status Task Register (ESTRi) și registrul Event Priority Register (EPRI), actualizarea schemei de prioritizare a unui eveniment global și introducerea unui nou registru capcană pentru fiecare categorie nouă de eveniment. Schema este simplă și poate fi aplicată la toate evenimentele.

O PRIVIRE DE ANSAMBLU ASUPRA ÎMBUNĂTĂȚIRII PERFORMANȚELOR NMPRA (2)

- În articolul³ publicat la DAS 2014, autorii prezintă un algoritm de tipul dual priority care are rolul de a păstra un sistem funcțional chiar dacă acesta comută din starea normal într-o altă stare (diagnoză, service, test). Această trecere poate conduce la situații în care unele taskuri să fie întârziate nepermis de mult cu posibile consecințe grave.
- Algoritmul asigură execuția fiecărui task chiar și pentru acele stări de funcționare diferite de starea normală, prin schimbarea priorității taskului care depășește cuanta de timp T și plasarea acestora în una dintre cozile iq sau tlq în funcție de lungimea timpului de execuție a taskului.
- Utilizarea microcontrolerului nMPRA asigură timpi de comutare foarte buni, între 1 și trei cicli mașină măbind timpul din perioada T la dispoziția taskurilor. Acest timp poate fi îmbunătățit pe viitor prin implementarea în hardware a algoritmului dual priority. Analizând o bogată literatură de specialitate nu s-a întâlnit un astfel de algoritm asemănător.

[3] GAITAN, Nicoleta Cristina; ANDRIES, Lucian. Using Dual Priority scheduling to improve the resource utilization in the nMPRA microcontrollers. In: Development and Application Systems (DAS), 2014 International Conference on. IEEE, 2014. pp. 73-78.

O PRIVIRE DE ANSAMBLU ASUPRA ÎMBUNĂTĂȚIRII PERFORMANȚELOR NMPRA (3)

- În alt articol⁴ de specialitate publicat la DAS 2014, s-a îmbunătățit arhitectura CPU (Central Processing Unit) ce a fost prezentată într-un articol⁵ publicat anterior referitor la întreruperi. S-a propus o soluție inovativă pentru a prioritiza întreruperile atașate unui task. Față de soluția de testare în buclă a întreruperilor, soluția propusă oferă un timp de răspuns uniform pentru orice întrerupere dacă la momentul respectiv este singura întrerupere activă.
- În plus, soluția propusă asigură și prioritizarea fixă a întreruperilor.

[4] GAITAN, Nicoleta Cristina; GAITAN, Vasile Gheorghita; MOISUC, Elena-Eugenia Ciobanu. Improving interrupt handling in the nMPRA. In: Development and Application Systems (DAS), 2014 International Conference on. IEEE, 2014. pp. 11-15.

[5] GAITAN, Vasile Gheorghita; GAITAN, Nicoleta Cristina; UNGUREAN, Ioan. CPU Architecture based on a Hardware Scheduler and Independent Pipeline Registers. In: IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS. 2014. ISSN 1063-8210. DOI:10.1109/TVLSI.2014.2346542.

5. CONCLUZII

CONCLUZII

- Se poate concluziona faptul că arhitectura nMPRA propusă⁶ este una foarte puternică pentru că: fără nici un RTOS software se poate implementa aplicații de timp real doar cu instrucțiunile de la nivelul limbajului de asamblare; comutarea între taskuri este întârziată cu un ciclu mașină și maxim 3 cicluri mașină în cazul execuției unor instrucțiuni de scriere în memoria globală; nu resetează banda de asamblare, nu necesită salvare/restaurare de context, accelerează execuția prin apeluri de subrutine cu copierea automată a parametrilor și comutarea setului de regiștrii, stivă locală de mare viteză; instrucțiuni puternice pentru partajarea resurselor, sincronizarea și comunicația între taskuri.

CONCLUZII

- Arhitectura nMPRA (Multi Pipeline Register Architecture) a fost dezvoltată pentru a îmbunătăți timpul de răspuns în timp real a aplicațiilor dezvoltate în jurul microcontrolerelor.
- Pe viitor se pot găsi și dezvolta soluții de îmbunătățire a timpului de răspuns la întreruperi în timp real pentru microcontrolerele bazate pe arhitectura nMPRA.

CONCLUZII

- Arhitectura nMPRA (Multi Pipeline Register Architecture) a fost dezvoltată pentru a îmbunătăți timpul de răspuns în timp real a aplicațiilor dezvoltate în jurul microcontrolerelor.
- Pe viitor se pot găsi și dezvolta soluții de îmbunătățire a timpului de răspuns la întreruperi în timp real pentru microcontrolerele bazate pe arhitectura nMPRA.

5. MULŢUMIRI

An overview regarding the improvement of the nMPRA architecture



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI



Fondul Social European
POSDRU 2007-2013



Instrumente Structurale
2007-2013



MINISTERUL
EDUCAȚIEI
NAȚIONALE

OIPOSDRU



UNIVERSITAS
GALATIENSIS

Aceasta lucrare a beneficiat de suport financiar prin proiectul "Performanta sustenabila in cercetarea doctorala si post doctorala - PERFORM", Contract nr. POSDRU/159/1.5/S/138963", proiect cofinantat din Fondul Social European prin Programul Operational Sectorial Dezvoltarea Resurselor Umane 2007-2013.

REFERINȚE BIBLIOGRAFICE

- [1] Shawash, J.; Selviah, D.R.. Real-Time Nonlinear Parameter Estimation Using the Levenberg–Marquardt Algorithm on Field Programmable Gate Arrays. *Industrial Electronics, IEEE Transactions on* , vol.60, no.1, pp.170,176, Jan. 2013.
- [2] Shahbazi, M.; Poure, P.; Saadate, S.; Zolghadri, M.R.. FPGA-Based Reconfigurable Control for Fault-Tolerant Back-to-Back Converter Without Redundancy. *Industrial Electronics, IEEE Transactions on* , vol.60, no.8, pp.3360,3371, Aug. 2013.
- [3] Shahbazi, M.; Poure, P.; Saadate, S.; Zolghadri, M.R.. Fault-Tolerant Five-Leg Converter Topology With FPGA-Based Reconfigurable Control. *Industrial Electronics, IEEE Transactions on* , vol.60, no.6, pp.2284,2294, June 2013.
- [4] Tran, T.; Ohishi, K.; Yokokura, Y.; Mitsantisuk, C. FPGA-based High-Performance Force Control System with Friction-Free and Noise-Free Force Observation. *Industrial Electronics, IEEE Transactions on* , vol.PP, no.99, pp.1,1, 0, 2013.
- [5] Liu, I., Reineke, J., & Lee, E. A. (2010, November). A PRET architecture supporting concurrent programs with composable timing properties. In *Signals, Systems and Computers (ASILOMAR), 2010 Conference Record of the Forty Fourth Asilomar Conference on* (pp. 2111-2115). IEEE.
- [6] GAITAN, Vasile Gheorghita; GAITAN, Nicoleta Cristina; UNGUREAN, Ioan. CPU Architecture based on a Hardware Scheduler and Independent Pipeline Registers. In: *IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS*. 2014. ISSN 1063-8210. DOI:10.1109/TVLSI.2014.2346542.
- [7] E. Dodi, V.G. Gaitan and A. Graur. Custom designed CPU architecture based on a hardware scheduler and independent pipeline registers – architecture description. *IEEE 35th Jubilee International Convention on Information and Communication Technology, Electronics and Microelectronics*, Croatia, 24 May 2012, ISSN: 1847-3946, ISBN 978-953-233-069-4.
- [8] E. Dodi and V.G. Gaitan. Custom designed CPU architecture based on a hardware scheduler and independent pipeline registers – concept and theory of operation. *2012 IEEE EIT International Conference on Electro-Information Technology*, Indianapolis, IN, USA, 6-8 May 2012, ISBN: 978-1-4673-0818-2, ISSN: 2154-0373.
- [9] GAITAN, Nicoleta Cristina; GAITAN, Vasile Gheorghita; MOISUC, Elena-Eugenia Ciobanu. Improving interrupt handling in the nMPRA. In: *Development and Application Systems (DAS), 2014 International Conference on*. IEEE, 2014. pp. 11-15.
- [10] E.E. (Ciobanu) Moisuc, Al. B. Larionescu, I. Ungurean. Hardware Event Handling in the Hardware Real-Time Operating Systems. *18th International Conference on System Theory, Control and Computing*, October 17-19, 2014, Sinaia, Romania.
- [11] E.E. (Ciobanu) Moisuc, Al. B. Larionescu, V. G. Gaitan. Hardware Event Treating in nMPRA. In: *12th International Conference on Development and Application Systems*, Suceava, Romania, May 15-17, 2014, ISBN: 978-1-4799-5094-2/14.
- [12] GAITAN, Nicoleta Cristina; ANDRIES, Lucian. Using Dual Priority scheduling to improve the resource utilization in the nMPRA microcontrollers. In: *Development and Application Systems (DAS), 2014 International Conference on*. IEEE, 2014. pp. 73-78.

THANK YOU!!!

